

Japanese Patent Laid-open No. HEI 6-54016 A

Publication date : February 25, 1994

Applicant : Fujitsu Limited

Title : SKEW CORRECTION CIRCUIT

5

(57) [ABSTRACT OF THE DISCLOSURE]

[Object]

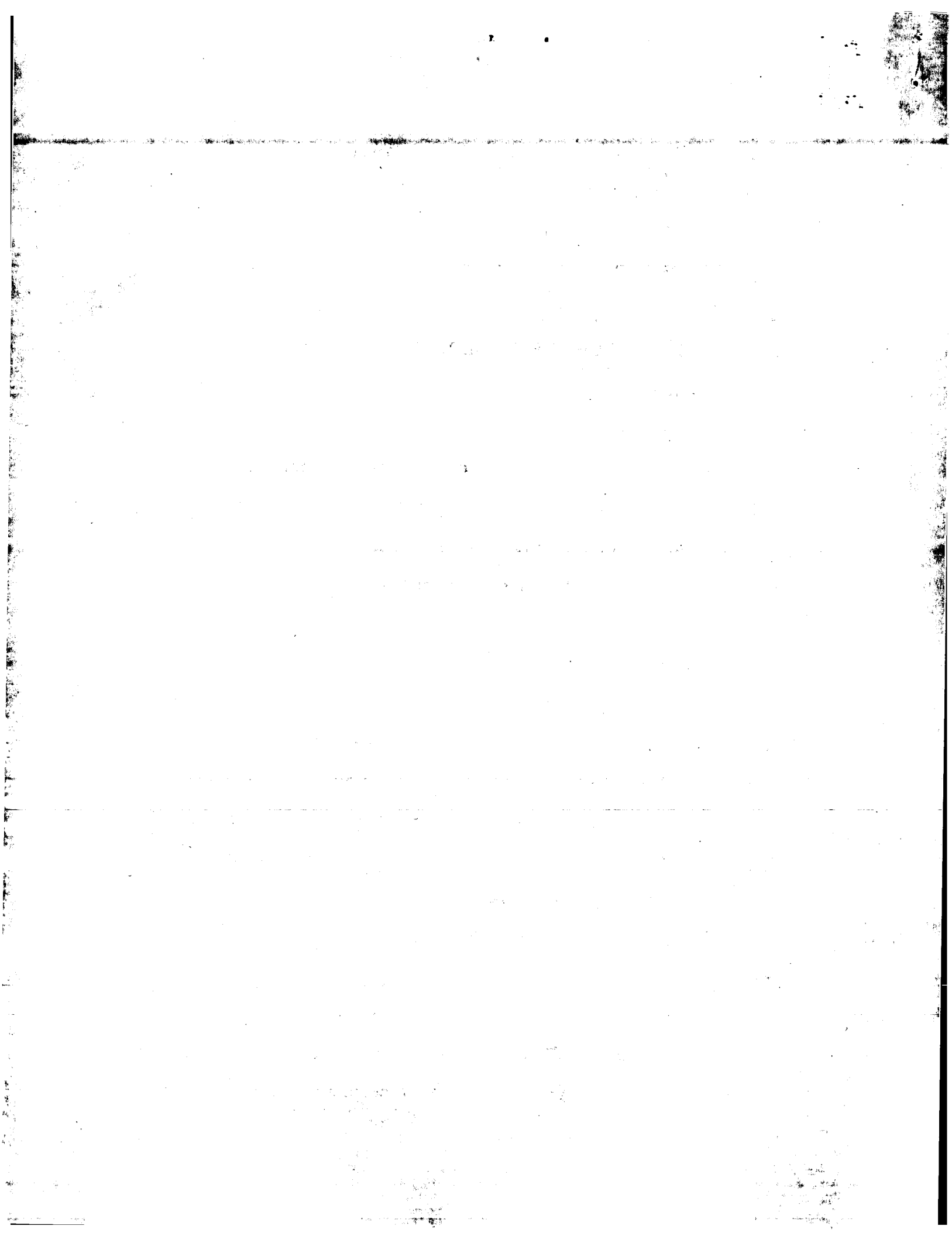
The present invention relates to a skew correction circuit that corrects a skew between parallel transmission channels. It is an object of the present invention to provide a skew correction circuit that has a simple structure and can carry out the correction of a skew between the parallel transmission channels.

[Structure]

Edges of each of the transmission channels 11-1 through 11-n are detected by EXOR gates 14-1 through 14-n and the detected edges are input into a detecting circuit 16 via an OR gate 15. A signal is then generated by delaying the edge that is detected first and a clock signal is generated by a frequency unifying circuit 17 and a limiting amplifier 18. This clock signal is fed as a clock input to D flip-flops 12-1 through 12-n that treat the transmission channels 11-1 through 11-n as the data input.

[0009]

It is an object of the present invention to solve the problems mentioned above by providing a skew correction circuit that has a



simple structure and can carry out the correction of a skew between the parallel transmission channels.

[0010]

5 SUMMARY OF THE INVENTION

Fig. 1 is a drawing that shows the basic structure of the present invention. A detecting unit 2 detects, from among edges that must have the same timing, the edge of one transmission signal from among plural transmission signals transmitted by parallel transmission
10 channels 1-1 through 1-n.

[0011]

A correction signal generating unit 3 generates correction signals according to the edge cycle of the edge detected by the detecting unit 2.

15 [0012]

A correction unit 4 synchronizes the edges of the plural transmission signals with the correction signals generated by the correction signal generating unit 3 and then outputs in synchronization all those edges.

20

[0013]

Action

An edge is detected from among edges that must have the same timing and belong to one transmission signal. A correction signal is
25 then detected according to the timing of the detected edge. This edge

of the transmission signal is then synchronized with the generated correction signal. As a result, a shift that occurs between the edges can be synchronized with the timing that is synchronized with the correction signal.

5

BRIEF DESCRIPTION OF THE DRAWINGS

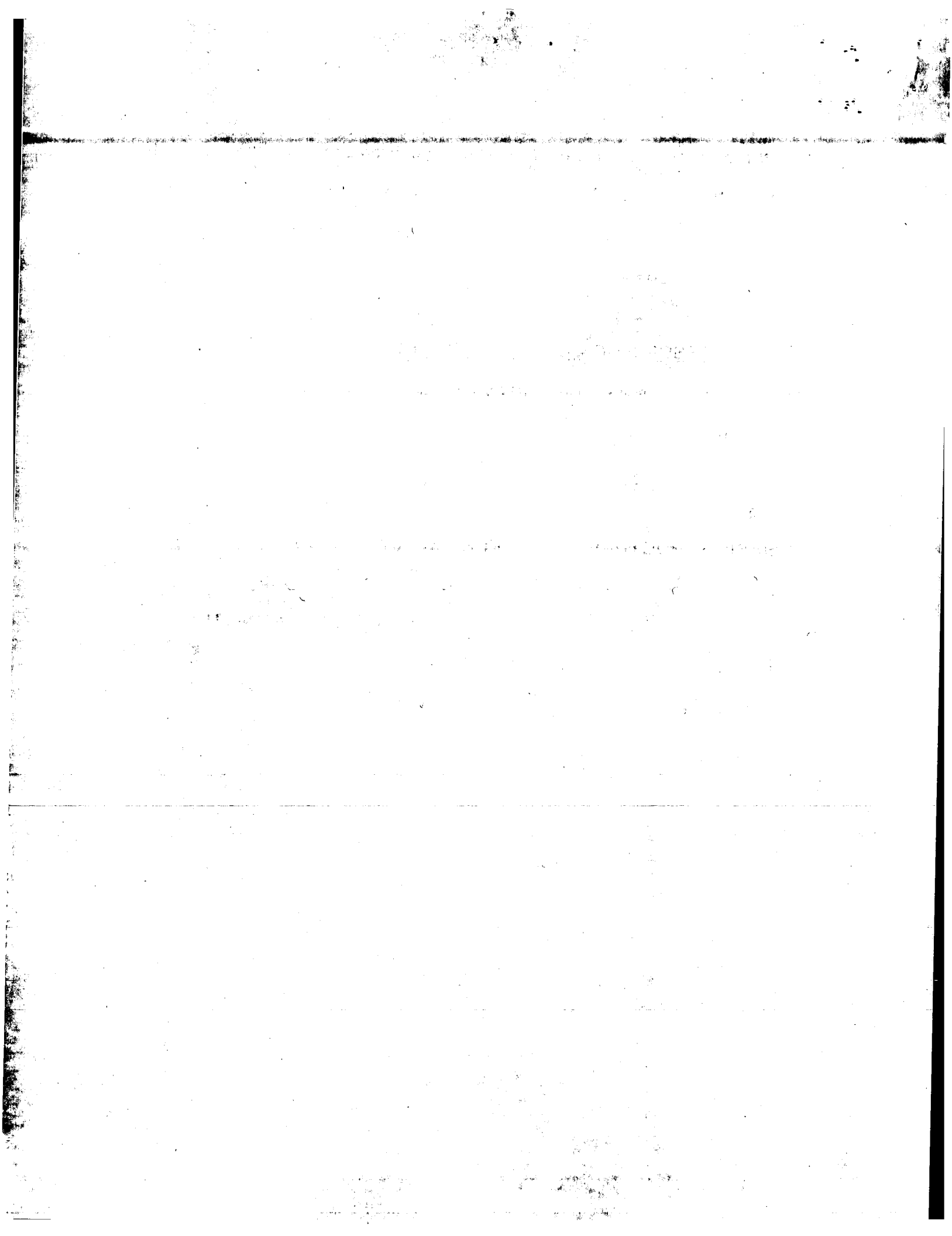
Fig. 1 is a drawing that shows the basic structure of the present invention.

10 Fig. 1

BASIC STRUCTURE OF THE PRESENT INVENTION

- | | |
|---|-----------------------------------|
| 2 | DETECTION UNIT |
| 3 | CORRECTION SIGNAL GENERATING UNIT |
| 4 | CORRECTION UNIT |

15



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-54016

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl.⁵
H04L 29/00
7/02

識別記号

F I

8020-5K
7928-5K

H04L 13/00
7/02

S
Z

審査請求 未請求 請求項の数4 (全9頁)

(21)出願番号 特願平4-206788
(22)出願日 平成4年(1992)8月3日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72)発明者 梅田 定美
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者 西蘭 和則
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者 船木 哲司
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74)代理人 弁理士 伊東 忠彦

最終頁に続く

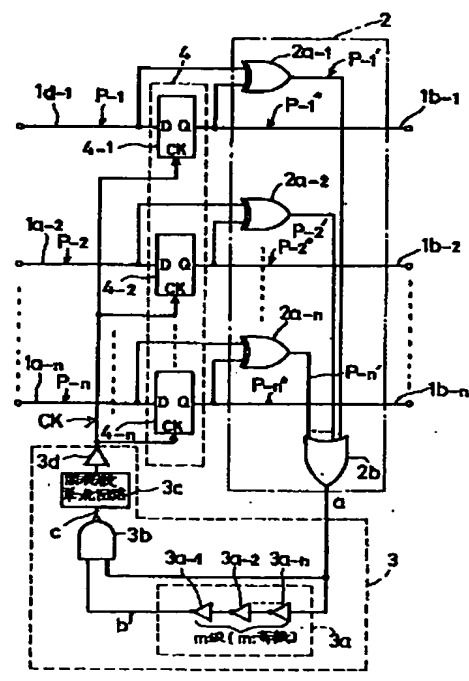
(54)【発明の名称】 スキュー補正回路

(57)【要約】

【目的】 並列型伝送路の伝送路間のスキューを補正するスキュー補正回路に関し、簡単な構成で、並列伝送路間のスキューの補正を行なえるスキュー補正回路を提供することを目的とする。

【構成】 EXORゲート14-1~14-nにより各伝送路11-1~11-nのエッジを検出し、ORゲート15を介して検出回路16に入力することにより最初に発生したエッジを遅延させた信号を生成し、周波数単一化回路17、リミッタアンプ18によりクロック信号を生成し、伝送路11-1~11-nをデータ入力とするDフリップフロップ12-1~12-nのクロック入力として供給する。

本発明の実施例の回路構成図



【特許請求の範囲】

【請求項1】 並列伝送路(1-1~1-n)を伝送する複数の伝送信号のうちの同一タイミングとなるべきエッジから一つの伝送信号のエッジを検出する検出手段(2)と、該検出手段(2)で検出されたエッジの周期に応じた補正信号を生成する補正信号生成手段(3)と、前記補正信号生成手段(3)で生成された補正信号に同期させて、前記複数の伝送信号のエッジを夫々一致出力させる補正手段(4)とを有することを特徴とするスキュー補正回路。

【請求項2】 前記検出手段(2)は前記並列伝送路(1-1~1-n)の各伝送路の伝送信号のうちの同一タイミングとなるべきエッジのうち最初に発生するエッジを検出することを特徴とする請求項1記載のスキュー補正回路。

【請求項3】 前記補正信号生成手段(3)は前記補正信号を遅延させる遅延回路を有することを特徴とする請求項1又は2記載のスキュー補正回路。

【請求項4】 前記補正手段(4)は前記伝送信号をデータ入力とし、前記補正信号をクロック入力としたフリップフロップより構成することを特徴とする請求項1乃至3のうちいずれか一項記載のスキュー補正回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はスキュー補正回路に係り、特に並列型伝送路の伝送路間のスキューを補正するスキュー補正回路に関する。

【0002】計算機、交換機等の情報機器ではデータリンクを形成するために並列信号線路が用いられている。

【0003】また、近年の情報機器のインターフェイスの高速化、大容量化のデータ転送に伴い、伝送線路として光アレイリンク等の伝送路が用いられている。

【0004】光アレイリンク等の伝送路では、電気から光に、光から電気に変換後の並列伝送路間のスキュー(ずれ)が問題とされる。並列伝送路を用いた情報機器では並列伝送路間のスキューにより確実なデータ伝送ができなくなってしまうため、伝送路間のスキューをキャンセルする必要がある。

【0005】

【従来の技術】従来、光アレイリンク等の並列伝送路では伝送路間のスキューを減少させるため、電気から光、及び、光から電気に変換するIC(集積回路)レンズ、コネクタ等の製造ばらつきをできるだけ少なくするようにしていた。

【0006】また、もう一つの方法として伝送路とは別にクロック専用線を設けておき、クロック専用線で伝送されるクロック信号により伝送路の伝送信号を打ち直してスキューの補正を行っていた。

【0007】

【発明が解決しようとする課題】しかるに、従来、並列

伝送路間のスキューを減少させようとする場合、光電変換器等の各装置の製造バラツキを減少させる方法を用いると製造管理の条件を厳しくしなければならないため、装置の歩留りが低下してしまう。

【0008】また、クロック専用線を用いてクロックを伝送データと共に伝送し、伝送されたクロックによりデータを打ち直しスキューを減少させる方法ではデータ伝送路の他にクロック専用線を必要とするため、システムが高価なものとなってしまう等の問題点があった。

10 【0009】本発明は上記の点に鑑みてなされたもので、簡単な構成で、並列伝送路間のスキューの補正を行なえるスキュー補正回路を提供することを目的とする。

【0010】

【課題を解決するための手段】図1は本発明の原理構成図を示す。検出手段2は、並列伝送路1-1~1-nを伝送する複数の伝送信号のうちの同一タイミングとなるべきエッジから一つの伝送信号のエッジを検出する。

【0011】補正信号生成手段3は、検出手段2で検出されたエッジの周期に応じた補正信号を生成する。

20 【0012】補正手段4は、前記補正信号生成手段3で生成された補正信号に同期させて、前記複数の伝送信号のエッジを夫々一致出力させる。

【0013】

【作用】伝送信号のうち同一タイミングで発生されるべきエッジより一つのエッジを検出し、この検出エッジのタイミングに応じて補正信号を生成し、生成された一の補正信号に同期させて伝送信号のエッジを一致させる。このため、エッジ間で生じるずれを補正信号に同期したタイミングに一致させることができる。

【0014】

【実施例】図2は本発明の第1実施例の構成図を示す。同図中、1a-1~1a-nは入力側伝送路を示す。入力側伝送路1a-1~1a-nはスキュー補正手段4を介して出力側伝送路1b-1~1b-nと接続される。スキュー補正手段4は伝送路11-1~11-nに対応したDフリップフロップ4-1~4-nよりなる。

【0015】入力側伝送路1a-1~1a-nはDフリップフロップ4-1~4-nのデータ入力端子Dと接続され、出力側伝送路1b-1~1b-nはDフリップフロップ4-1~4-nの出力Qと接続される。Dフリップフロップ4-1~4-nのクロック端子に同一のクロックを供給することにより入力側伝送路1a-1~1a-nの伝送信号が打ち直され、出力側伝送路1b-1~1b-nに出力され、各伝送路11-1~11-n間の同期をとる構成とされている。入力側伝送路1a-1~1a-nと、出力側伝送路1b-1~1b-nとは検出手段2に接続される。検出手段2はEXORゲート2a-1~2a-n、ORゲート2bよりなり、EXORゲート2a-1の入力には入力側伝送路1a-1と出力側伝送路1b-1が接続され、EXORゲート2a-2の入力には入力側伝送路1a-2と出力側伝送路1b-2が接続

され、同様にEXORゲート2 a-nの入力には入力側伝送路1 a-nと出力側伝送路1 b-nが接続される。EXORゲート2 a-1~2 a-nは入力互いに等しくないときに出力は“H”となり、入力互いに等しいときに出力は“L”となるゲートで、同一伝送路1 a-1, 1 b-1; 1 a-2, 1 b-2; 1 a-n, 1 b-nの信号に変化(“L”→“H”, “H”→“L”)があったときに出力が“H”となる。

【0016】EXORゲート2 a-1~2 a-nにより、各伝送路1 a-1~1 a-nの伝送信号のタイミングを検出できる。

【0017】EXORゲート2 a-1~2 a-nの出力はORゲート2 bに入力される。ORゲート2 bによりEXORゲート2 a-1~2 a-nの出力のうち一番最初に变化した出力を検出する。ORゲート2 bの出力は補正信号生成手段3に供給される。

【0018】補正信号生成手段3は遅延回路3 a, NANDゲート3 b, 周波数単一化回路3 c, リミッタンプ3 dよりなる。遅延回路3 aは奇数段のインバータ3 a-1, 3 a-m (m; 奇数)を直列接続してなる。ORゲート2 bの出力は直接NANDゲート3 bに入力される一方、遅延回路3 aを介して入力される。

【0019】NANDゲート3 bにより遅延回路3 aによる一定の遅延時間だけ遅延したトリガを生成する。NANDゲート3 bの出力は周波数単一化回路3 cに供給される。

【0020】周波数単一化回路3 cはフィルタ、タンク回路、PLL (Phase Locked Loop) 回路等により構成され、NANDゲート3 bの出力トリガの周波数を単一化して出力する。周波数単一化回路3 cの出力はリミッタンプ3 dに供給され、パルス信号化される。リミッタンプ3 dの出力パルス信号はクロック信号として各伝送路1 a-1~1 a-n (伝送路1 3-1~1 3-n)に設けられたDフリップフロップ4-1~4-nのクロック端子に入力される。従って、Dフリップフロップ4-1~4-nでは各入力側伝送路1 a-1~1 a-nの伝送信号を同一のクロックにより打ち直し、出力側伝送路1 b-1~1 b-nより出力する。

【0021】次に図3と共に本実施例の動作を説明する。図3 (A)に入力側伝送路1 a-1~1 a-nの伝送信号波形図を示す。P-1は入力側伝送路1 a-1の伝送信号、P-2は入力側伝送路1 a-2の伝送信号、P-nは入力側伝送路1 a-nの伝送信号を示す。伝送信号P-1と伝送信号P-2とには τ_1 なるずれが生じている。また、伝送信号P-2と伝送信号P-nとには τ_2 なるずれが生じている。

【0022】まず、時刻 t_1 で伝送信号P-1が“L”から“H”になると、EXOR 2 a-1の出力はこれを出し、図3 (B) P-1'に示すように“L”から“H”となる。EXOR 2 a-1の出力が“L”から

“H”となるとORゲート2 bの出力は同様に図3

(C) aに示すように“L”から“H”となる。ORゲート2 bの出力が“L”から“H”になると遅延回路3 aにより時間 τ_1 だけ遅延され時刻 t_1 で遅延回路3 aの出力は図3 (C) bに示すように“H”から“L”となる。従って、NANDゲート3 bは図3 (C) cに示すように、時刻 $t_1 \sim t_2$ の時間 τ_1 だけ“L”となるトリガを発生する。

【0023】NANDゲート3 bの出力トリガは周波数単一化回路3 cで、図3 (D)に示すような正弦波信号を得る。リミッタンプ3 dは周波数単一化回路3 cの出力信号を最大振幅の半分のレベルでリミットし、図3 (B)に示すように時刻 t_1 で“L”から“H”となるクロックパルス信号を生成する。

【0024】クロックパルス信号はDフリップフロップ4-1~4-nに供給される。Dフリップフロップ4-1~4-nでは図3 (A)の伝送信号P-1, P-2~P-nをクロック信号の立ち上がりで打ち直し、図3 (F)に示すように伝送信号①の立ち上がりに対応して時刻 t_1 で立ち上がる出力伝送信号P-1'が出力され、伝送信号②の立ち下がりに対応して時刻 t_2 で立ち下がる伝送信号P-2'を出力する。従って、同期すべき伝送信号P-1の立ち上がり伝送信号P-2の立ち下がりとを一致させることができる。なおこのとき、 τ_1 は τ_2 より大きく設定する必要がある。

【0025】また、同様な動作により時刻 t_1 で同期すべき伝送信号P-1の立ち下がり伝送信号P-nの立ち上がりとを時刻 t_2 で一致させることができる。このとき、伝送信号P-nの伝送信号P-1に対するずれ τ_2 は τ_1 より小さい必要がある。

【0026】以上のように本実施例によれば、入力側伝送路1 a-1~1 a-nの伝送信号のうち最も進んだ伝送信号P-1を検出し、伝送信号P-1を伝送信号間のずれ τ_1 , τ_2 より大きな遅延量 τ_1 だけ遅延したクロックを生成し、このクロックによりすべての伝送信号P-1~P-nを打ち直すことによりすべての伝送信号を同期させている。本実施例では図2に示すようにわずかなゲートにより回路を構成できるため、安価にスキュー補正が可能となる。

【0027】図4は本発明の第2の実施例の回路構成図を示す。同図中、同一構成部分には同一符号を付し、その説明は省略する。

【0028】本実施例では図2の奇数個のインバータ3 a-1~3 a-nよりなる遅延回路を抵抗R及びコンデンサCよりなる遅延回路3 eで構成したもので、その動作は図2の回路と同一となる。ただし、本実施例によれば、遅延回路3 eは抵抗R及びコンデンサCだけで構成できるため、さらに安価に構成できる。

【0029】図5は本発明の第3実施例のブロック構成図を示す。同図中、図1と同一構成部分には同一符号を

付し、その説明は省略する。

【0030】本実施例は第1実施例、第2実施例のものと検出手段2及び補正信号生成手段3の構成が異なる。本実施例の検出手段2は各入力伝送路1a-1~1a-nに接続された微分回路2c-1~2c-n、微分回路2c-1~2c-nの出力を加算する加算回路2dよりなる。図6に微分回路2c-1~2c-nの回路構成図を示す。微分回路2c-1~2c-nは図6に示すようにコンデンサC_i、接続R_iよりなり、入力伝送路1a-1~1a-nの伝送信号のエッジを検出する。図7に加算回路2dの回路構成図を示す。加算回路2dは抵抗R_{1,1}~R_{1,n}、R_i、オペアンプOP_iよりなる。抵抗R_{1,1}~R_{1,n}にはその一橋に微分回路2c-1~2c-nの出力が接続され、他橋はオペアンプOP_iの非反転入力端子に接続される。

【0031】オペアンプOP_iは抵抗R_iと共に非反転増幅回路を構成して、微分回路2c-1~2c-nの出力を増幅して出力する。

【0032】加算回路2dの出力は検出手段2の出力として補正信号生成手段3に入力される。補正信号生成手段3は整流回路3e、周波数単一化回路3f、リミッタ回路3gよりなる。図8に整流回路3eの回路構成図を示す。整流回路3eはPNPトランジスタQ₁、Q₂及び抵抗R₁、R₂よりなるカレントミラー回路3e-1とNPNトランジスタQ₃、PNPトランジスタQ₄とよりなる。

【0033】カレントミラー回路3e-1はPNPトランジスタQ₁のベース及びコレクタとPNPトランジスタQ₂のベースとが接続され、PNPトランジスタQ₁のエミッタには抵抗R₁を介して、また、PNPトランジスタQ₂のエミッタには抵抗R₂を介して定電圧V_{ref}が夫々印加される。

【0034】PNPトランジスタQ₁のコレクタはNPNトランジスタQ₃のコレクタに接続され、NPNトランジスタQ₃のエミッタはPNPトランジスタQ₄のエミッタと接続され、NPNトランジスタQ₃のエミッタとPNPトランジスタQ₄のエミッタとの接続点に入力端子T₁が接続される。出力端子T₂はPNPトランジスタQ₂のコレクタ及びPNPトランジスタQ₄のコレクタに接続される。NPNトランジスタQ₃とPNPトランジスタQ₄のベースには基準電圧V_{ref}が印加され、NPNトランジスタQ₃及びPNPトランジスタQ₄は入力電圧に応じてオン、オフする。

【0035】整流回路3eは入力電圧が基準電圧より低いローレベルのときはトランジスタQ₃がオン、トランジスタQ₄がオフとなり出力はハイレベルとなり、入力電圧が基準電圧より高いハイレベルのときはトランジスタQ₃がオフ、トランジスタQ₄がオンとなり出力はハイレベルとなり、入力電圧が基準電圧と等しいときはトランジスタQ₃、Q₄共にオフで、出力はローレベルと

なる。

【0036】整流回路3eの出力は周波数単一化回路3fに入力される。周波数単一化回路3fは整流回路3eの出力パルスに応じた正弦波信号を出力する。周波数単一化回路3fの出力正弦波信号はリミッタ回路3gにより、パルス波形とされ、補正手段4に供給され、補正手段4は前述したように入力側伝送路1a-1~1a-nの伝送信号を打ち直して出力側伝送路1b-1~1b-nに出力する。

【0037】次に、図9と共に動作を説明する。入力側伝送路1a-1~1a-nに図9(A)に示すようなパルス信号が入力されると、微分回路2c-1~2c-nの出力として図9(B)に示すような出力が得られる。

【0038】次に図9(B)に示すような微分回路2c-1~2c-nの出力は加算回路2dにより加算され、図9(C)に示すような信号となる。図9(C)に示す加算回路2dの出力は整流回路3eにより整流され、図9(D)に示すような信号とされる。

周波数単一化回路3fは図9(B)に示すように図9(A)の入力パルス信号のエッジに対応した図9(D)に示すような信号に応じた周波数の正弦波信号を生成する。周波数単一化回路3fで生成された図9(E)に示す正弦波信号はエミッタ回路3gにより図9(F)に示すパルス信号とされる。

図9(E)に示すパルス信号は補正手段4を構成するDフリップフロップ4-1~4-nのクロック入力に供給され、図9(F)に示すパルス信号の立ち上がりで入力側伝送信号P-1~P-nを打ち直して、図9(G)に示すような伝送パルスP-1'~P-n'を生成して出力側伝送路1b-1~1b-nに出力する。以上により第1、第2実施例と同様な効果が得られる。

【0039】

【発明の効果】上述の如く、本発明によれば、専用のクロック信号等を用いずに複数の伝送路間のスキューを補正できるため、簡単な構成で安価に補正回路が実現できる等の特長を有する。

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】本発明の第1実施例の回路構成図である。

【図3】本発明の第1実施例の動作波形図である。

【図4】本発明の第2実施例の回路構成図である。

【図5】本発明の第3実施例の回路構成図である。

【図6】本発明の第3実施例の微分回路の回路構成図である。

【図7】本発明の第3実施例の加算器の回路構成図である。

【図8】本発明の第3実施例の整流回路の回路構成図である。

【図9】本発明の第3実施例の動作波形図である。

【符号の説明】

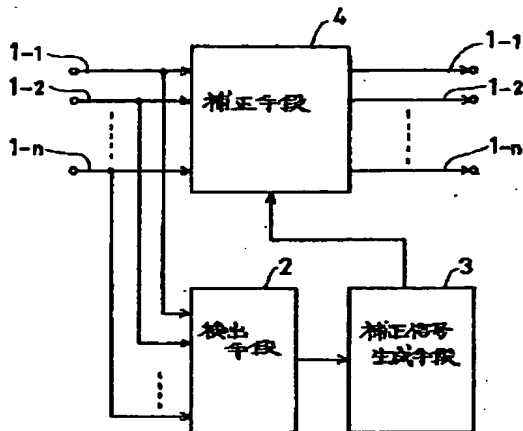
1-1~1-n 伝送路

- 2 検出手段
3 補正信号生成手段

- 4 補正手段

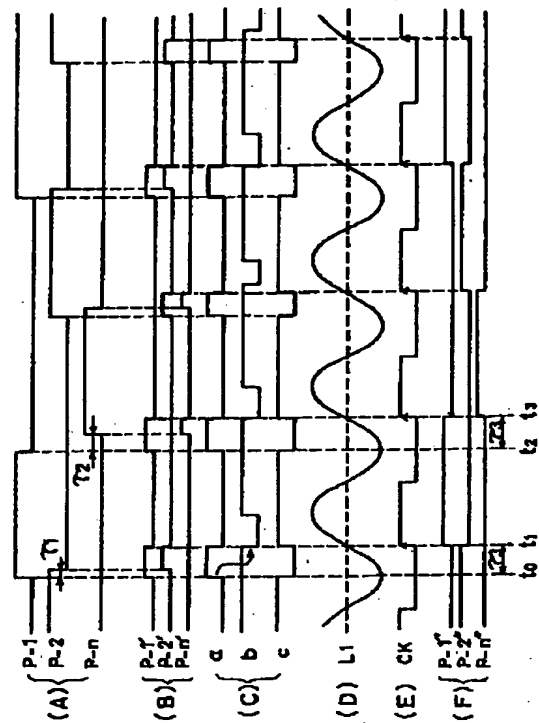
【図1】

本発明の原理構成図



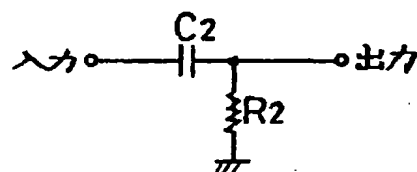
【図3】

本発明の第1実施例の動作波形図



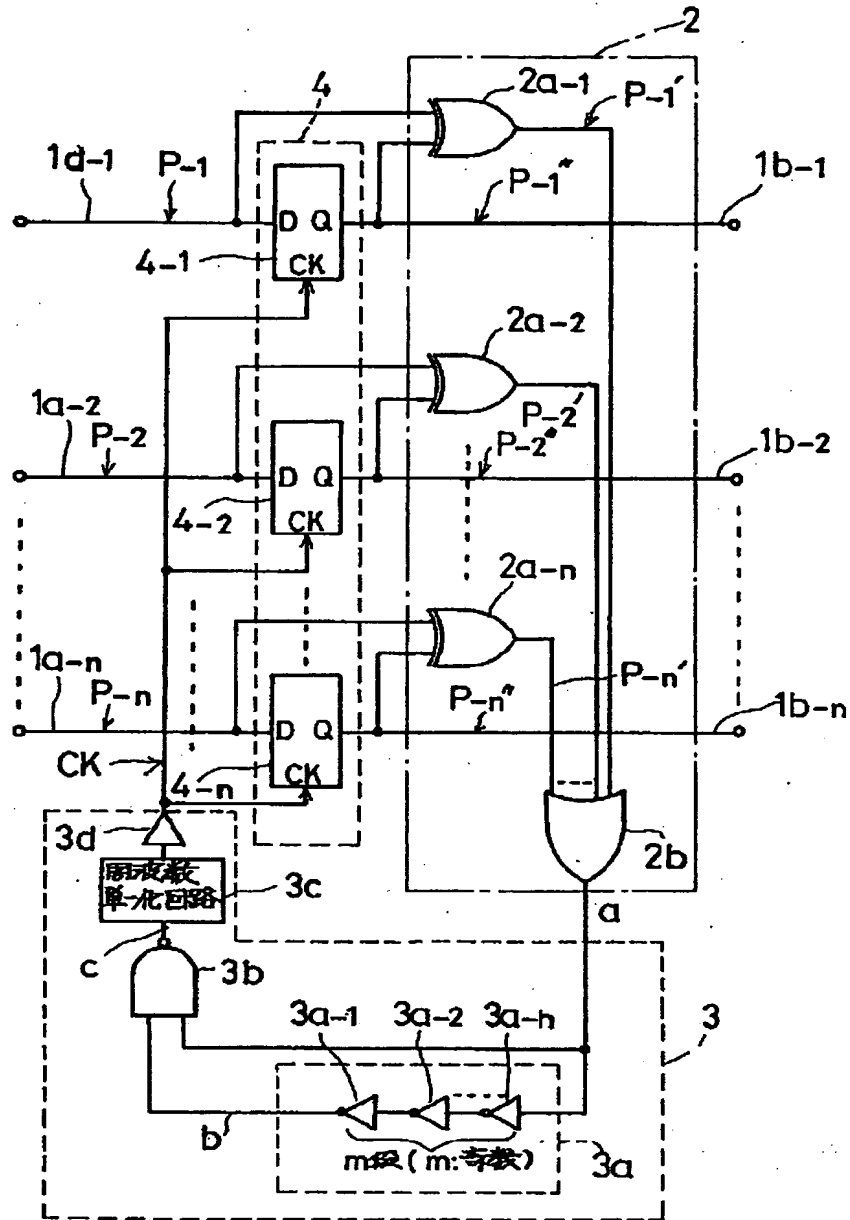
【図6】

本発明の第3実施例の微分回路の回路構成図



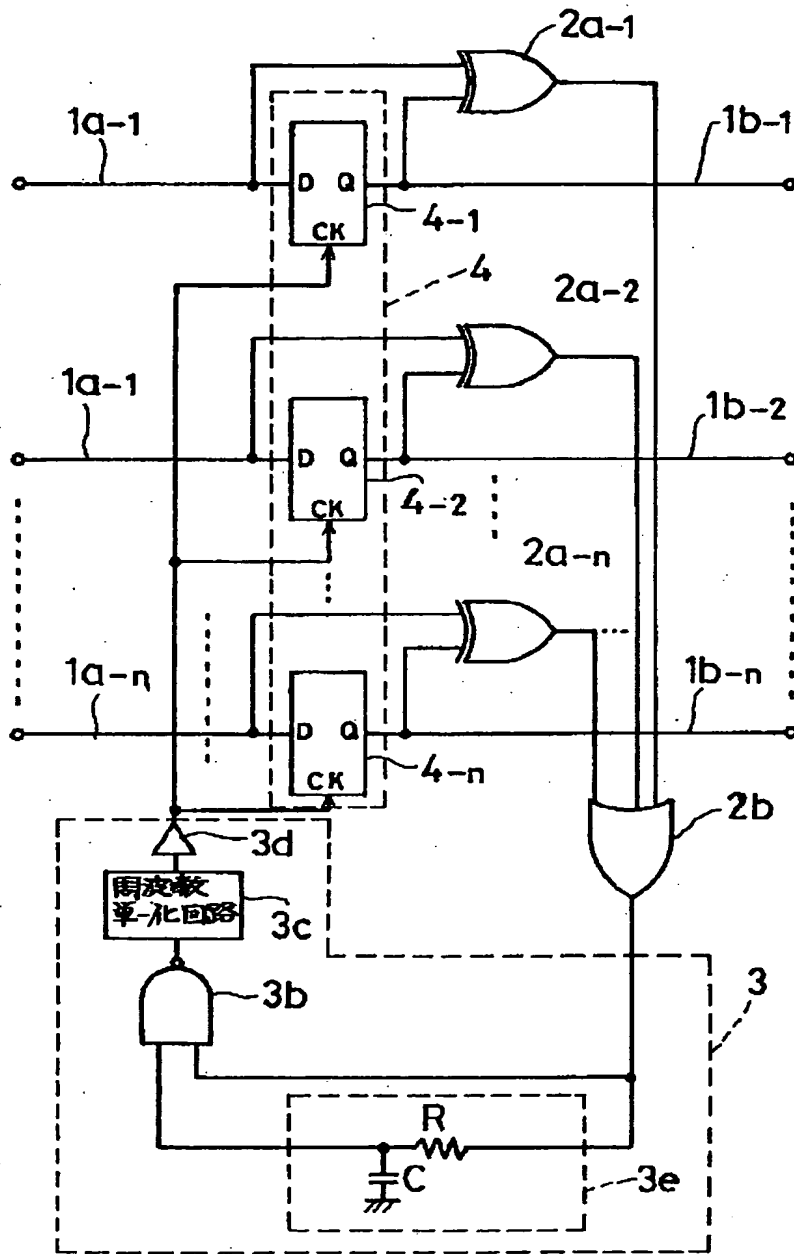
【図 2】

本発明の第 1 実施例の回路構成図



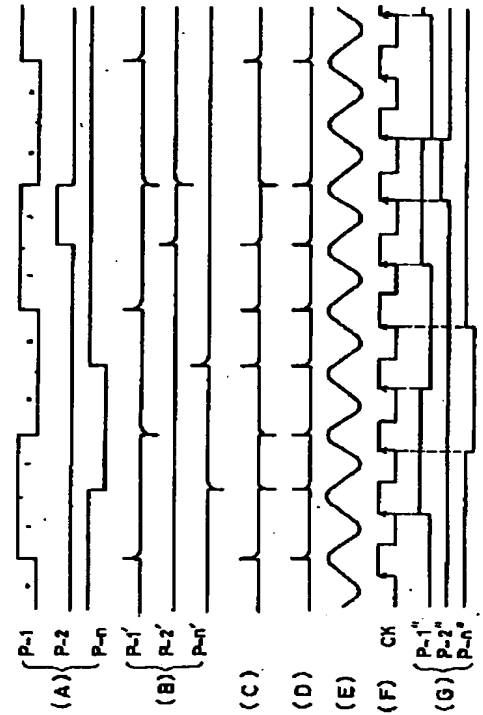
【図 4】

本発明の第2実施例の回路構成図



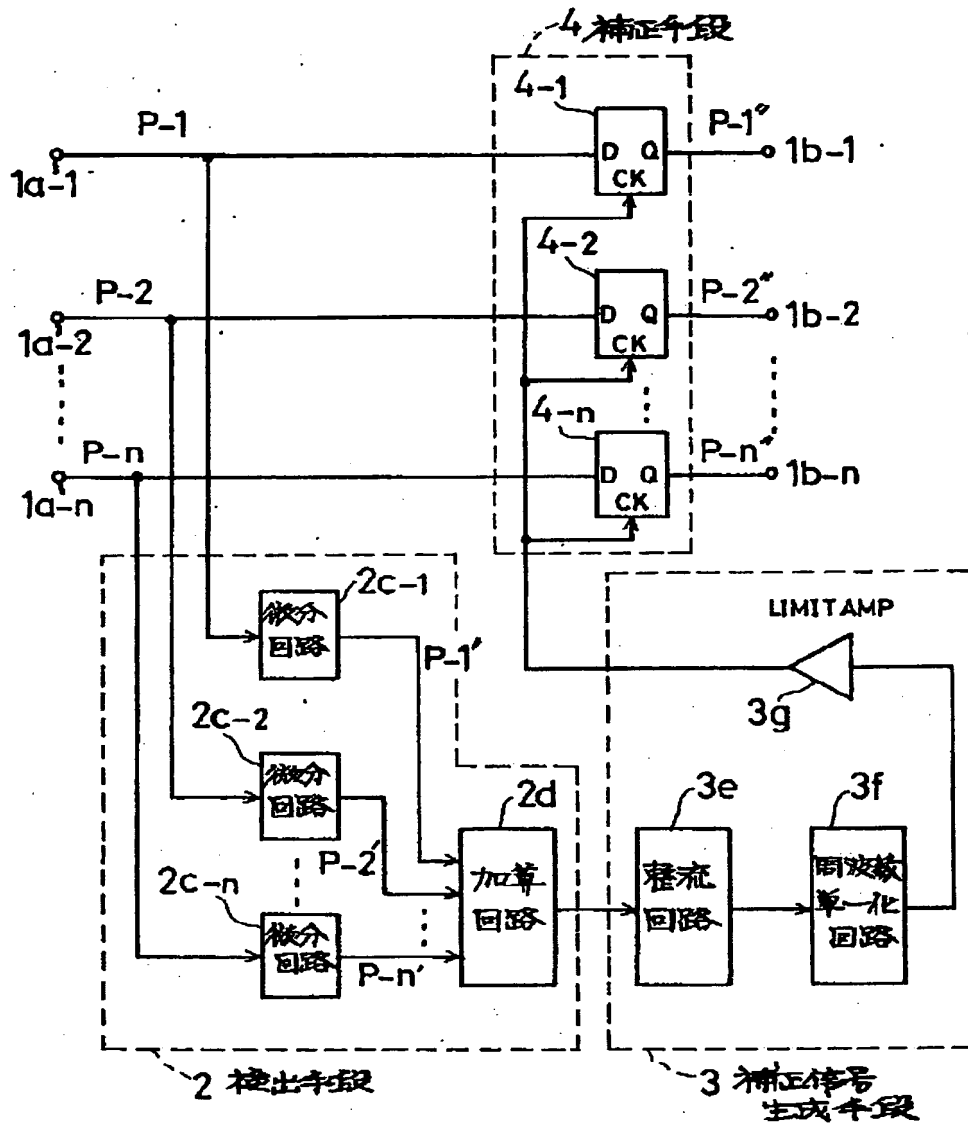
【図 9】

本発明の第3実施例の動作波形図



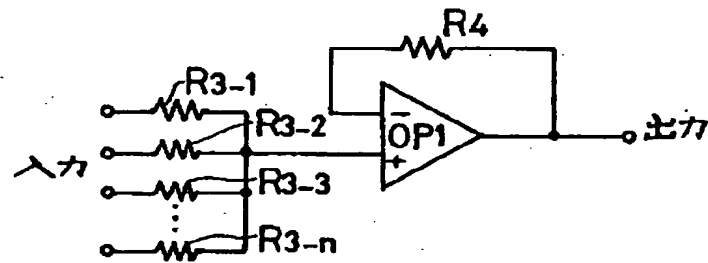
【図5】

本発明の第3実施例の構成図



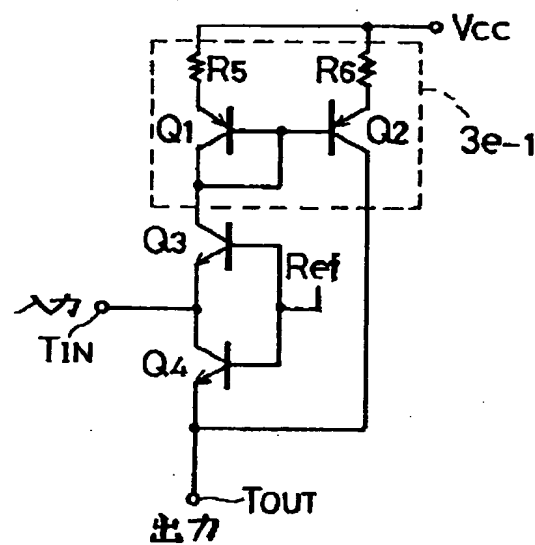
【図7】

本発明の第3実施例の加算回路の回路構成図



【図8】

本発明の第3実施例の整流回路の回路構成図



フロントページの続き

(72)発明者 田中 裕計
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

